

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 10-340920

(43)Date of publication of application : 22.12.1998

(51)Int.Cl.

H01L 21/60  
H01L 21/3205

(21)Application number : 09-151749

(71)Applicant : SONY CORP

(22)Date of filing : 10.06.1997

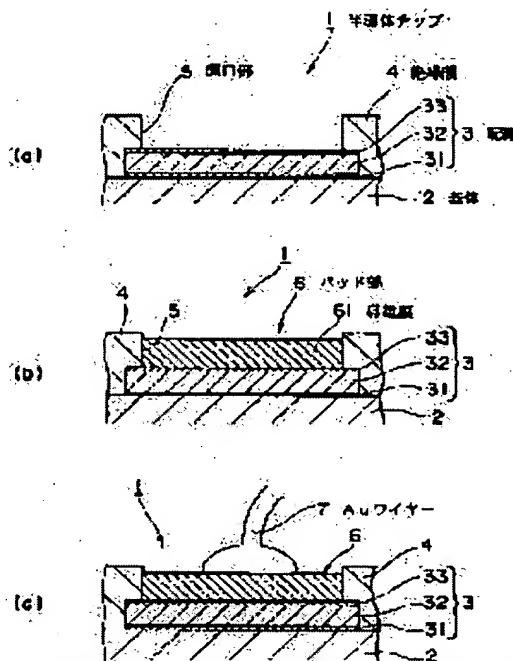
(72)Inventor : HOSHINO KAZUHIRO

## (54) METHOD FOR MANUFACTURING SEMICONDUCTOR DEVICE

## (57)Abstract:

**PROBLEM TO BE SOLVED:** To manufacture a semiconductor device having high electrical reliability by enabling wire bonding, in using a Cu wiring or a thin-filmed Al wiring.

**SOLUTION:** Using a semiconductor chip 1 provided with a wiring 3, an insulating film 4 covering the wiring 3 and an opening 5 which is formed in the insulating film 4 and enables the wiring 3 to be looked onto on an upper surface of a substrate 2, first a pad 6 is obtained by forming a conductive film 61 made of a conductive material selectively containing Al in the opening 5 of this semiconductor chip 1. Next, the semiconductor chip 1 is mounted on a mounting substrate, and the pad 6 and the conductive portion of the mounting substrate are bonded using an Au wire 7.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2000 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平10-340920

(43) 公開日 平成10年(1998)12月22日

(51) Int.Cl.<sup>6</sup>H01L 21/60  
21/3205

識別記号

301

F I

H01L 21/60  
21/88301P  
T

審査請求 未請求 請求項の数4 O L (全8頁)

(21) 出願番号 特願平9-151749

(22) 出願日 平成9年(1997)6月10日

(71) 出願人 000002185

ソニー株式会社

東京都品川区北品川6丁目7番35号

(72) 発明者 星野 和弘

東京都品川区北品川6丁目7番35号 ソニー株式会社内

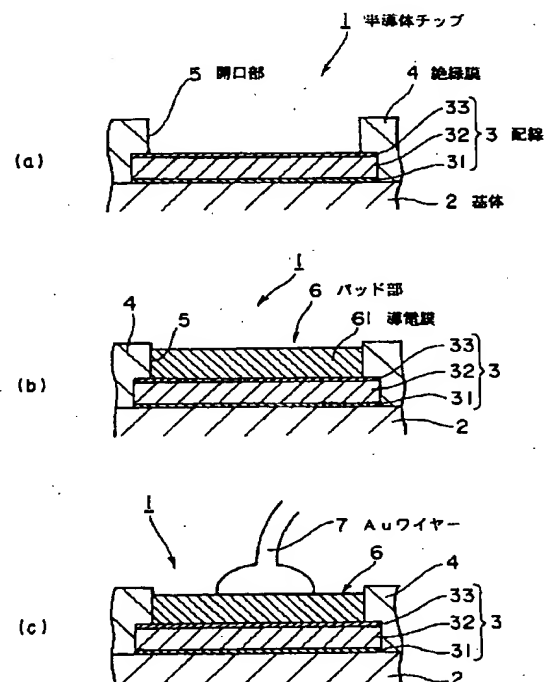
(74) 代理人 弁理士 船橋 國則

(54) 【発明の名称】 半導体装置の製造方法

(57) 【要約】

【課題】 Cu配線や薄膜化したAl配線を用いた場合に、確実にワイヤーボンディングを行えるようにして、電気的信頼性の高い半導体装置を製造できるようにする。

【解決手段】 基体2の上面に配線3とこれを覆う絶縁膜4と絶縁膜4に形成されて配線3を外側に臨ませる開口部5とを形成してなる半導体チップ1を用い、まず、この半導体チップ1の開口部5内に選択的にAlを含む導電材料からなる導電膜61を形成してパッド部6を得る。次いで、パッド部6を形成した半導体チップ1を搭載基板上に搭載して、パッド部6と搭載基板の導電部とをAuワイヤー7を用いてボンディングする。



## 【特許請求の範囲】

【請求項1】 基体の上面に配線とこれを覆う絶縁膜と該絶縁膜に形成されて前記配線を外側に臨ませる開口部とを有してなる半導体チップを用い、この半導体チップの前記開口部内に選択的にアルミニウムを含む導電材料からなる導電膜を形成してパッド部を得る工程と、前記パッド部を形成した半導体チップを搭載基板上に搭載して、前記パッド部と前記搭載基板の導電部とをワイヤーボンディングする工程とを有していることを特徴とする半導体装置の製造方法。

【請求項2】 前記パッド部を得る工程では、化学的気相成長法によって前記開口部内に選択的にアルミニウムを成長させることにより前記導電膜を形成することを特徴とする請求項1記載の半導体装置の製造方法。

【請求項3】 前記パッド部を得る工程では、前記絶縁膜の全面に前記導電材料の膜を形成するとともに該導電材料で前記開口部内を埋込み、その後化学的機械研磨法によって、前記開口部内を埋め込んだ導電材料を残した状態で前記絶縁膜の上面が露出する位置まで前記導電材料からなる膜を除去することにより前記導電膜を形成

【請求項4】 前記パッド部を得る工程に先立ち、前記開口部の内面を覆うようにバリアメタル膜を形成することを特徴とする請求項1記載の半導体装置の製造方法。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】 本発明は半導体装置の製造方法に関し、特に搭載基板の導電部と半導体チップの配線とのワイヤーボンディングに適用される半導体装置の製造方法に関する。

## 【0002】

【従来の技術】 LSI (Large Scale Integrated-circuit) チップ、ICチップ (Integrated-Circuit) 等の半導体チップには、最上層の配線上にパッド部が形成されて、このパッド部と半導体チップが搭載されるICパッケージのリード部とがワイヤーボンディングされるものが知られている。上記パッド部は、最上層の配線上に形成された絶縁膜を開口して配線の一部を外側に臨ませた状態で形成した部分である。現在、ワイヤーボンディングでは、例えば金 (Au) 線からなるワイヤーが用いられ、300℃程度の温度で超音波を付加しながら加圧によってパッド部とAuワイヤーとを接合する超音波併用熱圧着法が主流になっている。

【0003】 なお、ワイヤーボンディングにおける接合は、線材の金属原子 (例えばAuワイヤーのAu) が接合部位の金属組織 (例えばアルミニウム (Al)) へ拡散し、連続的な原子構造を形成することにより行われる、いわゆる固相拡散接合である。この拡散に要するエネルギーは、上記したように熱、加圧、超音波等の形で

与えられる。

【0004】 ところで従来、半導体チップの配線材料には、加工の容易なAl系合金が用いられていたが、高集積化に伴う配線の微細化とこれによる高電流密度化の進行とにより、エレクトロマイグレーション (EM) 等による断線が発生し易くなる等、十分な信頼性が得られ難くなってきている。そのため、Alに替えて銅 (Cu) が用いた配線形成技術の開発も進められている。Cuは比抵抗が $1.8 \mu\Omega\text{cm}$ とAlよりも低いためデバイス的高速化に有利であり、しかもAlよりも高EM耐性を有することから配線の信頼性の向上を図るうえで有効とされている。

## 【0005】

【発明が解決しようとする課題】 しかしながら、Cuを用いて配線を形成した場合には、通常のAu線を用いたワイヤーボンディングを行おうとすると、AuワイヤーとCuとの反応温度が400℃程度と高くしかもCuの硬度もAlに比較して高いために、パッド部にAuワイヤーが接合されず、結果としてICパッケージに組むことができないという難点がある。

【0006】 この解決策として、Cu配線上のパッド部にAl膜を一層追加する方法が提案されている (Advanced Metallization "Electromigration in Cu-P-Cu interconnect with quarter micron size prepared by sputter-reflow" (1996-Oct.-23,24) N.Misawa, et al p.151-154)。ところが、この方法では配線層が一層追加されることとなるため、絶縁膜形成、スパッタリング、リソグラフィやドライエッチングの工程が増える。よって、製造が煩雑になるとともにコスト的にもデメリットが大きく、これらの点から実際に半導体装置の製造に適用することは困難であると考えられる。

【0007】 一方、配線材料にこれまで通りAl系合金を用いながら、配線のEMを抑制する対策も種々検討されている。しかしながら、半導体装置の高集積化に伴いAlの膜厚を減少させる傾向にあるため、Al膜が例えば300nm程度と薄く、かつAl膜上層に窒化チタン (TiN) 等の反射防止膜 (Anti Reflection Coating; 以下、ARC膜と記す) が70nm程度と比較的厚く形成されるような配線構造の場合に、ワイヤーボンディングが困難になる不具合が生じる。

【0008】 すなわち、パッド部となる開口部を形成するためにドライエッチングによってARC膜を除去する際、TiN膜とAl膜とのエッチングの選択比が小さいためにオーバーエッチングを行うと、Al膜も掘られてしまつてAl膜がさらに薄くなる。その結果、パッド部にAuワイヤーを用いたボンディングを行うと、AlとAuとの固相拡散が十分に進まず、接合部にボイドが形成されたり、Auワイヤーの密着力が弱くてAuワイヤーが剥がれる等の不具合が生じてしまうのである。また、膜厚が300nm程度のAl膜へのワイヤーボンデ

3

ィングでは、一応接合が達成されるが、200℃前後の温度で長時間が経過すると、Auの拡散量に対して供給されるAlが不足するようになって接合部にボンドが生じ易くなる。

【0009】またTiN膜は、バリアメタルとしても用いられるようにCu膜よりもさらにAuワイヤーと反応し難い膜である。したがって、開口部を形成するためのARC膜のドライエッチングの際に、オーバーエッチングによりさらにAl膜を薄膜化しないようにTiN膜を残した場合にも、通常のワイヤーボンディングによってパッド部にAuワイヤーを接合することができない。したがって、Cu配線や薄膜化したAl配線を用いた場合に、確実にワイヤーボンディングを行え、電気的信頼性の高い半導体装置を製造できる製造方法の確立が切望されている。

【0010】

【課題を解決するための手段】そこで、上記課題を解決するために本発明は、基体の上面に配線とこれを覆う絶縁膜とこの絶縁膜に形成されて上記配線を外側に臨ませる開口部とを有してなる半導体チップを用い、まずこの半導体チップの開口部内に選択的にAlを含む導電材料からなる導電膜を形成してパッド部を得、次いで半導体チップを搭載基板に搭載して、パッド部と搭載基板の導電部とをワイヤーボンディングする構成となっている。

【0011】この発明では、開口部内にAlを含む導電材料からなる導電膜を形成してパッド部を得た後、パッド部と搭載基板の導電部とをワイヤーボンディングするため、たとえ配線がCuからなると、このCuを外側に臨ませた状態で開口部が形成され、しかもCuとの接合が困難なAuワイヤーを用いてボンディングを行う場合にも、ボンディングに何ら影響がなく、パッド部とAuワイヤーとが密着性よく接合されることになる。同様に、配線の最上層が、Auワイヤーとの接合がさらに困難なTiN膜からなり、このTiN膜を外側に露出させた状態で開口部が形成されていても、パッド部とAuワイヤーとが密着性よく接合されることになる。さらに、配線が薄膜化したAlからなっているとしても、このAl配線上にAlを含む導電膜を形成してパッド部を得ることから接合部におけるAl膜の膜厚が厚くなるので、パッド部とワイヤーとをボンディングする際、ワイヤーの拡散量に対して十分なAlが供給されることになる。よって、Alとワイヤーとの固相拡散が十分に進むため、接合部におけるボイドの発生が防止される。またパッド部とワイヤーとが密着性良く接合されてワイヤーが剥がれることもない。

【0012】

【発明の実施の形態】以下、本発明に係る半導体装置の製造方法の実施形態を説明するが、ここでは特に本発明の特徴であるパッド部の形成工程およびワイヤーボンディング工程を示した図面を用いて実施形態を説明する。

4

【0013】図1(a)～(c)は本発明の第1実施形態に係る半導体装置の製造方法を工程順に示した要部側断面図である。第1実施形態では、半導体装置を製造するに先立ち、図1(a)に示すようなLSIチップからなる半導体チップ1を用意する。すなわち、半導体チップ1においては、例えばウエハからなる基板(図示略)に半導体素子が形成されて基体2が構成されており、基体2の最表面が酸化シリコン( $\text{SiO}_2$ )膜からなる絶縁膜2aとなっている。そして、この基体2の上面に半導体チップ1における最上層の配線3が形成されている。

【0014】配線3は例えば、基体2上面に形成されたバリアメタル層31と、バリアメタル層31上に形成された配線層32と、この上層に形成されたARC膜(反射防止膜)33とからなる。上記バリアメタル層31は、20nm程度の膜厚のチタン(Ti)膜と、Ti膜上に積層された20nm程度のTiN膜とから構成されており、配線層32は400nm程度の膜厚のCu膜で形成されている。さらにARC膜33は、5nm程度のTi膜の上層に70nm程度のTiN膜が積層されて形成されている。

【0015】上記配線3が形成された基体2上面には、配線3を覆うようにして例えば窒化シリコン( $\text{Si}_3\text{N}_4$ )膜からなる絶縁膜4が形成されている。また絶縁膜4の上記パッド部を形成する位置には、配線3に達しかつ配線3の最上層であるARC膜33のTiN膜を外側に臨ませた状態で開口部5が形成されている。

【0016】このような半導体チップ1を用意した後には、まず選択成長Al-CVD(化学的气相成長)法を用いて、図1(b)に示すように開口部5内に選択的にAlを堆積させてAl膜からなる導電膜61を形成することによりパッド部6を得る。ここでは、導電膜61を500nm程度の厚みに形成する。選択成長Al-CVD法を用いた導電膜61の堆積条件の一例およびこの堆積の前に実施するプレクリーン条件の一例を以下に示す。

【0017】<プレクリーン条件>

反応ガスおよび流量;  $\text{BCl}_3 / \text{Ar} : 100 \text{ sccm} / 100 \text{ sccm}$  [sccmは標準状態における体積流量( $\text{cm}^3$ /分)]

雰囲気圧力; 133 Pa (1.0 Torr)

RFパワー; 500 W

<Al-CVD条件>

反応ガスおよび流量;  $\text{DMAH} [\text{Al}(\text{CH}_3)_2\text{H}] : 50 \text{ sccm}$

キャリアガスおよび流量;  $\text{H}_2 : 500 \text{ sccm}$

雰囲気圧力; 267 Pa (2.0 Torr)

温度; 220℃

【0018】次いで、通常の半導体装置の製造における後工程において、例えば搭載基板としてパッケージ(図

5

示略)に半導体チップ1を搭載する。そして、Auワイヤー7を用いてパッケージの導電部、例えばリード部とパッド部6とのワイヤーボンディングを例えば超音波併用熱圧着法により行う。その後は、例えば半導体チップとパッケージのリード部とを一体に封止して半導体装置を得る。

【0019】なお、上記ワイヤーボンディングにおける条件例を以下に示す。

<ワイヤーボンディング条件>

温度：290℃

超音波印加時間：20ミリ秒

荷重：50グラム

【0020】上記したように第1実施形態では、配線3上に形成した開口部5内にA1の導電膜61を選択的に堆積してパッド部6を得た後、このパッド部6とAuワイヤー7とのワイヤーボンディングを行っている。このため、Auとの接合が困難なARC層33のTiN膜を外側に臨ませた状態で開口部5が形成されていても、ワイヤーボンディングに何ら影響がなく、パッド部6とAuワイヤー7とを密着性良く接合することができる。よって、パッケージと半導体チップ1との良好な電氣的導通を得ることができる。

【0021】また、開口部5内を埋込むようにして導電膜61が形成されることから導電膜61を厚く形成できるため、上記ボンディングの際にAuワイヤー7の拡散量に対して十分なA1を供給できる。よって、パッド部6のA1とAuワイヤー7との固相拡散が十分に進むため、接合部におけるボイドの発生も防止できる。さらに選択成長A1-CVD法によって、開口部5内に選択的に導電膜61を形成できるため、工程数の増加はこの導電膜61を形成する一工程だけで済む。したがって、電氣的信頼性が向上し、配線層32が低抵抗なCuで形成されて高速化された高集積LSIからなる半導体装置を容易に製造することができる。

【0022】次に、本発明に係る半導体装置の製造方法の第2実施形態を図2に基づいて説明する。なお、図2(a)～(d)は第2実施形態を工程順に示した要部側断面図であり、図において第1実施形態と同一の形成要素には同一の符号を付して説明を省略する。

【0023】第2実施形態において、第1実施形態と相違するところは、導電膜62の形成にスパッタリング法および化学的機械研磨(Chemical Mechanical Polishing; 以下、CMPと記す)法を用いたことにある。すなわち、第2実施形態においても図2(a)に示すように、半導体装置を製造するに先立ち、第1実施形態の場合と同様に構成された半導体チップ1を用意する。

【0024】そして、まず図2(b)に示すように、スパッタリング法を用いて絶縁膜4の全面に導電材料の膜、ここではA1膜62aを堆積するとともにA1膜62aで開口部5内を埋込む。この際のA1膜62aの膜

6

厚は例えば2.0μm程度とする。スパッタリング法を用いたA1膜62aの堆積条件の一例を以下に示す。またA1膜62aの堆積前にRFエッチングによって、ARC層33のTiN膜表面に形成された自然酸化膜を除去するプレクリーンを行う。

【0025】<プレクリーン条件>

エッチングガスおよび流量：Ar：30sccm

雰囲気圧力：0.27Pa(2mTorr)

RFパワー：500W

10 TiN膜エッチング量：10nm

<A1スパッタリング条件>

スパッタリングガスおよび流量：Ar：90sccm

雰囲気圧力：0.67Pa(5mTorr)

DCパワー：12kW

温度：220℃

【0026】次いで、CMP法によって、図2(c)に示すように開口部5内のA1膜62aを残した状態で絶縁膜4の上面が露出する位置までA1膜62aを除去する。このことによって、開口部5内にA1からなる導電膜62を選択的に形成してパッド部6を得る。CMPの条件例を以下に示す。

【0027】<CMP条件>

研磨材(スラリー)：過酸化水素水+アルミナ

スラリー流量：2.0sccm

研磨ヘッド圧力：4.0psi

基体(ウエハ)回転数：20rpm

ヘッド回転数：20rpm

【0028】その後は、第1実施形態と同様に、例えばパッケージ(図示略)に半導体チップ1を搭載し、図2(d)に示すようにAuワイヤー7を用いてパッケージのリード部とパッド部6とのワイヤーボンディングを例えば超音波併用熱圧着法により行う。そして、例えば半導体チップ1とパッケージのリード部とを一体に封止して半導体装置を得る。なお、上記ワイヤーボンディングの条件は、例えば第1実施形態にて示した条件が採用される。

【0029】上記した第2実施形態においても、スパッタリング法およびCMP法を用いて配線3上に形成した開口部5内にA1の導電膜62を選択的に形成してパッド部6を得た後、このパッド部6とAuワイヤー7とのワイヤーボンディングを行っている。このため、第1実施形態と同様に、Auとの接合が難しいARC層33のTiN膜を外側に臨ませた状態で開口部5が形成されていても、パッド部6とAuワイヤー7とを密着性良く接合することができ、パッケージと半導体チップ1との良好な電氣的導通を得ることができる。

【0030】また、開口部5内を埋込んだ状態に導電膜62が形成されることから導電膜62を厚く形成できるため、第1実施形態と同様、ボイドを発生させることなくパッド部6とAuワイヤー7とを密着性良く接合する

50

ことができる。さらにスパッタリング法による成膜およびCMP法によって、開口部5内に選択的に導電膜62を形成できるため、工程数の増加はこの導電膜61を形成する二工程だけで済む。したがって、工程数の増加を抑制しつつパッド部6とAuワイヤー7とが確実に接合された電氣的信頼性の高い超高集積LSIからなる半導体装置を製造することができる。配線層32がCuで形成されているため半導体装置の高速化も図ることができる。

【0031】次に、本発明に係る半導体装置の製造方法の第3実施形態を図3に基づいて説明する。なお、図3(a)～(c)は第3実施形態を工程順に示した要部側断面図であり、図において第1実施形態と同一の形成要素には同一の符号を付して説明を省略する。

【0032】第3実施形態では、半導体装置を製造するに先立ち、図3(a)に示すような半導体チップ8を用意する。すなわち、半導体チップ8では、例えば第1実施形態と同様に構成された基体2の上面に最上層の配線9が形成されている。配線9は例えば、基体2上面に形成されたバリアメタル層91と、バリアメタル層91上に形成された配線層92と、この上層に形成されたARC膜93とからなる。上記バリアメタル層91は、20nm程度の膜厚のTi膜と、Ti膜上に積層された20nm程度のTiN膜とから構成されており、配線層92は300nm程度の膜厚のAl膜で形成されている。さらにARC膜93は、5nm程度のTi膜の上層に70nm程度のTiN膜が積層されて形成されている。

【0033】上記配線9が形成された基体2上には、配線9を覆うようにして絶縁膜4が形成されている。また絶縁膜4のパッド部を形成する位置には、配線9の配線層92に達する開口部10が形成されている。つまり、開口部10を形成する際のオーバーエッチングによって、パッド部を形成する位置のARC膜93が除去されてAl膜の配線層92を外側に露出した状態で開口部10が形成されている。またこの際、配線層92もエッチングされて180nm程度の膜厚に減少している。

【0034】このような半導体チップ8を用意した後、まず図3(b)に示すように、選択成長Al-CVD法を用いて、開口部10内に選択的にAlを堆積させてAl膜からなる導電膜111を形成することによりパッド部11を得る。ここでは、導電膜111を700nm程度の厚みに形成する。選択成長Al-CVD法を用いた導電膜111の堆積条件の例およびこの堆積の前に実施するプレクリーン条件の例としては、第1実施形態における導電膜61の堆積条件およびプレクリーン条件が挙げられる。

【0035】次いで、通常の半導体装置の製造における後工程において、例えば搭載基板としてパッケージ(図示略)に半導体チップ1を搭載する。そして、Auワイヤー7を用いてパッケージのリード部とパッド部11と

のワイヤーボンディングを例えば超音波併用熱圧着法により行う。その後は、例えば半導体チップ8とパッケージのリード部とを一体に封止して半導体装置を得る。なお、上記ワイヤーボンディングの条件は、例えば第1実施形態にて示した条件が採用される。

【0036】上記した第3実施形態では、配線9上に形成した開口部10内にAlの導電膜111を選択的に形成してパッド部11を得た後、このパッド部11とAuワイヤー7とのボンディングを行っている。このため、オーバーエッチングによって上記のようにAl膜の配線層92が薄膜化されても、導電膜111の形成によって接合部におけるAl膜が厚膜となるので、上記ボンディングの際にAuワイヤー7の拡散量に対して十分なAlが供給されることになる。よって、パッド部11のAlとAuワイヤー7との固相拡散が十分に進むため、ボイドを発生させることなくパッド部11とAuワイヤー7とを密着性良く接合することができ、パッケージと半導体チップ8との良好な電氣的導通を得ることができる。

【0037】また選択成長Al-CVD法によって、開口部10内に選択的に導電膜111を形成できるため、工程数の増加はこの導電膜111を形成する一工程だけで済む。したがって、工程数の増加を抑制しつつパッド部11とAuワイヤー7とが確実に接合された電氣的信頼性の高い超高集積LSIからなる半導体装置を実現できる。

【0038】次に、本発明に係る半導体装置の製造方法の第4実施形態を図4に基づいて説明する。なお、図4(a)～(d)は第4実施形態を工程順に示した要部側断面図であり、図において第3実施形態と同一の形成要素には同一の符号を付して説明を省略する。

【0039】第4実施形態では、半導体装置を製造するに先立ち、図4(a)に示すような半導体チップ12を用意する。すなわち、半導体チップ12では、例えば第1実施形態と同様に構成された基体2の上面に最上層の配線13が形成されている。配線13は例えば、基体2上面に形成されたバリアメタル層131と、バリアメタル層131上に形成された配線層132と、この上層に形成されたARC膜133とからなる。上記バリアメタル層131は、20nm程度の膜厚のTi膜と、Ti膜上に積層された20nm程度のTiN膜とから構成されており、配線層132は300nm程度の膜厚のCu膜で形成されている。さらにARC膜133は、5nm程度のTi膜の上層に70nm程度のTiN膜が積層されて形成されている。

【0040】上記配線13が形成された基体2上には、配線13を覆うようにして絶縁膜4が形成されている。また絶縁膜4のパッド部を形成する位置には、配線13の配線層132に達する開口部14が形成されている。つまり、開口部14を形成する際のオーバーエッチングによって、パッド部を形成する位置のARC膜133が

除去されて配線層132を外側に臨ませた状態で開口部14が形成されている。またこの際、配線層132もエッチングされて200nm程度の膜厚に減少している。

【0041】このような半導体チップ12を用意した後は、まず図4(b)に示すように、スパッタリング法を用いてTiN膜からなるバリアメタル膜15を絶縁膜4の全面に形成するとともに開口部14の内面を覆うように形成する。この際のバリアメタル膜15の膜厚は例えば20nm程度とする。

【0042】次いで、絶縁膜4の全面にバリアメタル膜15を介してAl膜161aを堆積するとともに開口部15内にバリアメタル膜15を介してAl膜161aを埋込む。この際のAl膜161aの膜厚は例えば2.0μm程度とする。スパッタリング法を用いたバリアメタル膜15、Al膜161aのそれぞれの堆積条件の一例を以下に示す。またAl膜161aの堆積前にRFエッチングによって、Cuの配線層132表面に形成された自然酸化膜を除去するプレクリーンを行う。

【0043】<プレクリーン条件>

エッチングガスおよび流量; Ar: 30 sccm

雰囲気圧力; 0.27 Pa (2mTorr)

RFパワー; 500W

Cu配線層エッチング量; 10nm

<TiNスパッタリング条件>

スパッタリングガスおよび流量; Ar+N<sub>2</sub>: 60 sccm+120 sccm

雰囲気圧力; 0.67 Pa (5mTorr)

DCパワー; 8kW

温度; 200℃

<Alスパッタリング条件>

スパッタリングガスおよび流量; Ar: 90 sccm

雰囲気圧力; 0.67 Pa (5mTorr)

DCパワー; 12kW

温度; 220℃

【0044】次いで、CMP法によって、図4(c)に示すように開口部14内のAl膜161aおよびバリアメタル膜15を残した状態で絶縁膜4の上面が露出する位置までAl膜161aおよびバリアメタル膜15を除去する。このことによって開口部14内にバリアメタル膜15を介してAlからなる導電膜161を選択的に形成してパッド部16を得る。このときのCMP条件としては、例えば第2実施形態におけるCMP条件が採用される。

【0045】次いで、通常の半導体装置の製造における後工程において、例えば搭載基板としてパッケージ(図示略)に半導体チップ1を搭載する。そして、Auワイヤー7を用いてパッケージのリード部とパッド部16とのワイヤーボンディングを例えば超音波併用熱圧着法により行った後、例えば半導体チップ12とパッケージのリード部とを一体に封止して半導体装置を得る。なお、

上記ワイヤーボンディングの条件は、例えば第1実施形態にて示した条件が採用される。

【0046】上記した第4実施形態では、配線13上に形成した開口部14内に、スパッタリング法およびCMP法を用いてAlの導電膜161を選択的に形成してパッド部16を得た後、このパッド部16とAuワイヤー7とのワイヤーボンディングを行っている。このため、開口部14の内面と導電膜161との間にAuの接合が難しいTiN膜からなるバリアメタル膜15が形成されていても、ワイヤーボンディングに何ら影響がなく、パッド部16とAuワイヤー7とを密着性良く接合することができる。よってパッケージと半導体チップ12との良好な電氣的導通を得ることができる。

【0047】またこの実施形態においても、開口部14内を埋込んだ状態に導電膜161が形成されることにより、Alからなる導電膜161を厚く形成できることから、ボイドを発生させることなくパッド部16とAuワイヤー7とを密着性良く接合できる。しかも、導電膜161を形成するためにスパッタリング法とCMP法との二工程を増加させるだけで済む。したがって、電氣的信頼性が向上し、配線層132が低抵抗なCuで形成されて高速化された高集積LSIからなる半導体装置を容易に製造することができる。

【0048】なお、上記第1実施形態～第4実施形態では、Al膜で導電膜を形成したが、ワイヤーボンディングで用いるワイヤーと接合可能なAlを含む導電材料で形成されればよく、実施形態の例に限定されない。また、配線がAlあるいはCuで形成されている例を述べたが、その他、種々の配線材料を用いてもよいのはもちろんである。例えばCu以外のワイヤーボンディングで用いるAuワイヤーとのボンディングが困難な配線材料を用いてもよく、この場合にもパッド部とワイヤーとを確実に接合する効果を得られる。

【0049】また第1実施形態～第4実施形態で述べた条件等は一例であって、本発明の主旨に反しない限り適宜変更可能である。

【0050】

【発明の効果】以上説明したように本発明の半導体装置の製造方法によれば、開口部内にAlを含む導電材料からなる導電膜を形成してパッド部を得た後、パッド部と搭載基板の導電部とをワイヤーボンディングするようにしたことにより、たとえワイヤーとの接合が困難な配線材料を外側に臨ませた状態で開口部が形成されていても、パッド部とワイヤーとが密着性良く接合することができる。また、配線が薄膜化したAlからなっている、このAl配線の上にAlを含む導電膜を形成してパッド部を得ることから、パッド部のAlとワイヤーとの固相拡散を十分に進ませることができ、接合部におけるボイドの発生を防止できる。したがって、電氣的信頼性が高い高集積LSIからなる半導体装置を実現することが

できる。

【図面の簡単な説明】

【図1】(a)～(c)は本発明の第1実施形態に係る半導体装置の製造方法を工程順に示した要部側断面図である。

【図2】(a)～(d)は本発明の第2実施形態に係る半導体装置の製造方法を工程順に示した要部側断面図である。

【図3】(a)～(c)は本発明の第3実施形態に係る半導体装置の製造方法を工程順に示した要部側断面図で 10

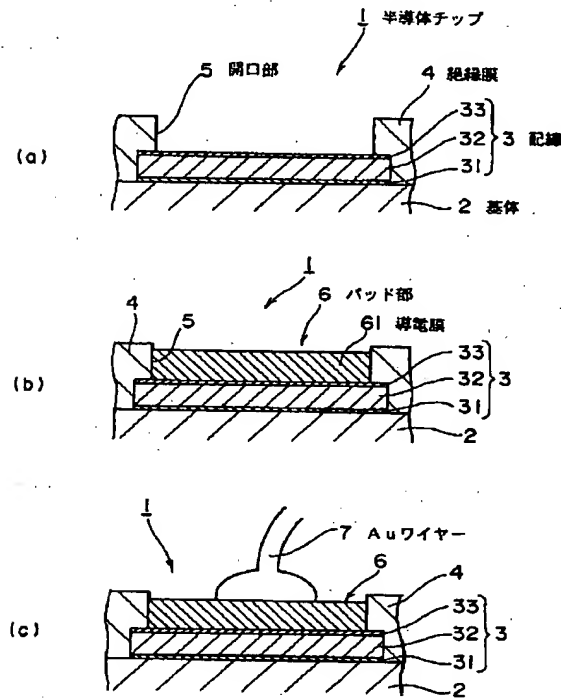
ある。

【図4】(a)～(d)は本発明の第4実施形態に係る半導体装置の製造方法を工程順に示した要部側断面図である。

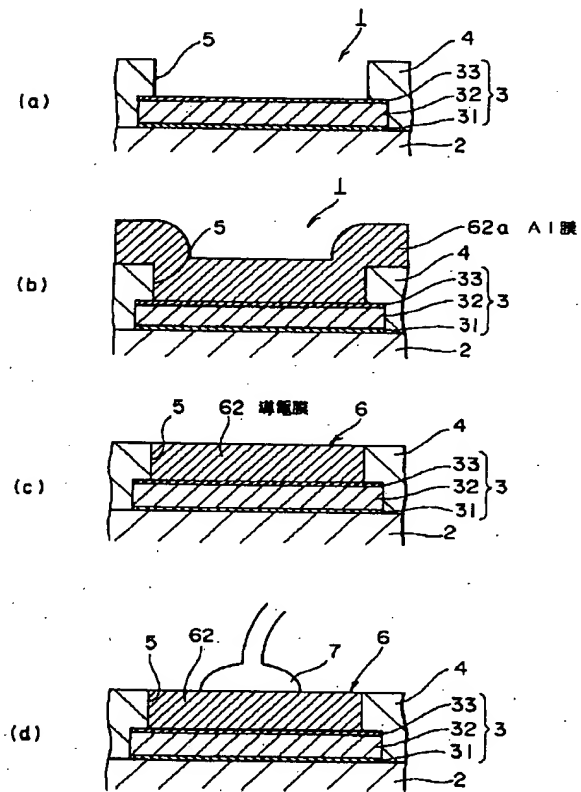
【符号の説明】

1, 8, 12…半導体チップ、2…基体、3, 9, 13…配線、4…絶縁膜、5, 10, 14…開口部、6, 11, 16…パッド部、7…Auワイヤー、15…バリア金属膜、61, 62, 111, 161…導電膜、62 a、161 a…Al膜

【図1】



【図2】





【図 3】

